

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**(54) SEMICONDUCTOR DEVICE**

(11) 58-112348 (A) (43) 4.7.1983 (19) JP

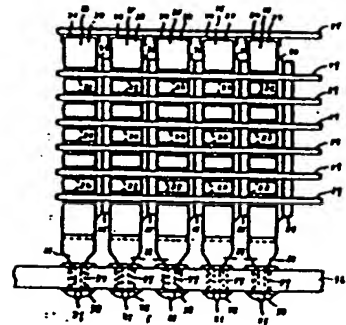
(21) Appl. No. 56-211715 (22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO

(51) Int. Cl. H01L23/12, H01L23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.  
H 01 L 23/12  
23/48

識別記号

庁内整理番号  
7357-5F  
7357-5F

⑬ 公開 昭和58年(1983)7月4日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715  
⑯ 出 願 昭56(1981)12月25日  
⑰ 発 明 者 水尾允彦

川崎市中原区上小田中1015番地  
富士通株式会社内  
⑱ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に管脚状の外部導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体ノーマリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関する。

(b) 技術的背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体ノーマリ素子等の半導体集積回路 (I.C.) 素子の数は非常に増大を遂げており、このことはシステムの大規模化を招き、

それに伴ってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に於ける半導体 I.C. 素子の実装密度を高めシステムの大規模化を促す手段として提供されたのが、チップ・キャリア実装構造の半導体 I.C. 装置である。

(c) 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置に於ける一例の断面図 (I) 及び底面図 (II) を示したものである。そして該図に於て1はセラミック基板、2はセラミック枠、3は接面に金 (Au) めっき等が施されたチップ・ステージ、4は接面に Au めっき等が施されている内部配線、5は内部配線からそれぞれ延出される Au めっき等が施されている外部配線、6は外部配線がそれぞれ底面に延出される接面に Au めっき等が施された管脚状の外部端子、7はチップろう付け用ノリライズ層、8は金属チップ、9は金 (Au) 合金等のろう材、

10は半導体ICチップ、11はゲンディング・  
パッド、12はアルミニウム(Al)等のゲン  
ディング・ワイヤ、13は金(Au)/シリコン  
(81)層を示している。

このように製造を有する従来のチップ・キャ  
リアに実装された半導体IC装置は、計算機シス  
テム等に配設される配設基板上に対して底面を下にし  
て水平に(平面)実装される。その実装状態を示  
したのが図2で、図中14は前記チップ・キャ  
リア実装構造の半導体IC装置、15はセラミッ  
クス或るいはプラスチックにより形成された配設基  
板、16は配設パターン、6は前記外部導電端子、17  
は半田等のろう材を供している。

上記のように従来のチップ・キャリア実装構造  
の半導体IC装置に於ては配設基板に対して平面  
実装がなされるために、チップ・キャリアの平面  
積によって実装密度が制限され更に実装密度を高  
めることができなかった。

(4) 発明の目的

本発明は上記問題点に鑑み、配設基板に対して

垂直に実装することが可能な構造を有するチップ  
・キャリア実装の半導体装置を提供し、実装密度  
を向上せしめることを目的とする。

(5) 発明の構成

本発明は半導体装置に於て、半導体チップが、  
一外部導電面にピン状の導電端子を有し他の外部導  
電面に被覆状の導電端子を有するチップ・キャリア  
に実装されてなることを特徴とする。

(6) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実  
施例について、第3図に示す上面図(H)、側面図(I)、  
A-A'矢視断面図(J)、下面図(K)、及び図4図に  
示す実装方法に於ける一実施例の上面図(L)、側面  
図(M)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば  
第3図(H)、(I)、(J)、(K)に示すよう、一側面に例え  
ば2(本)のピン状外部導電端子21が配設され、  
他の三側面に所置設の被覆状外部導電端子22が  
配設されたセラミック・チップ・キャリア23内  
に半導体メモリ・チップ24が実装され、該チ

ップ・キャリア23上に例えば金系キャップ25が  
形成されてなっている。なお前記チップ・キャリ  
ア23に於けるピン状外部導電端子21は、通常  
構造の内部配線26からチップ・キャリア23  
の一側面に突出された外部配線27の上に鉄/ニ  
ッケル合金等通常の導電性材料からなる例えばピン  
状打抜き加工片が被ろう28等によりろう付けさ  
れて形成され、又被覆状外部導電端子22は内部  
配線26からチップ・キャリア23の露出以外  
の三側面に導出された外部配線27の上に金め  
っき等が施されて形成される。そして半導体メモ  
リ・チップ24は通常構造のチップ・スプーヅ29  
の上に金/シリコン合金30等を介してろう付けさ  
れ、例えば半導体メモリ・チップ24のチップ  
・セラミック端子等チップ固有の信号が配されるベ  
ッド端子31とピン状外部導電端子に接続する  
内部配線26とがアルミニウム等のゲンディン  
グ・ワイヤ31により接続される。又入出力端子、  
電源端子等メモリ・チップに対して共通に配線  
されるベッド端子31と被覆状外部導電端子22

に接続する内部配線26とがゲンディング・ワ  
イヤ32により接続される。本発明の構成に於て  
は、通常このようにピン状外部導電端子21をチ  
ップ・セラミック端子等メモリ装置に固有な信号  
端子とし、被覆状外部導電端子22を入出力端子  
或るいは電源端子等メモリ装置に対する共通信  
号の端子とする。そして上記のように半導体メモ  
リ・チップ24が実装されたチップ・キャリア23  
上面に形成されている通常構造の例止栓33上に  
鉛/錫合金等のろう材34を介して金系キャッ  
プ25が気密にろう付けされてなっている。

本発明の構造を有する半導体装置は該半導体  
装置に配設されたピン状外部導電端子を介して配  
設基板上に立てて実装することが出来る。

第4図は前記実施例に示した半導体メモリ装  
置の実装例を示したもので、図中21はピン状外  
部導電端子(固有信号端子)、22は被覆状外  
部導電端子(共通信号端子)、23はセラミック・  
チップ・キャリア、25は金系キャップ、31は  
はろう材、35は半導体メモリ装置、36は

第4図は前記実施例に於て、  
下図で互いが重なり  
立て並べられ、各々  
外部導電端子21が  
スルーホール37に  
穿たれる。そして各  
信号端子である被覆  
状外部導電端子22は  
半田付けされる。  
なお上記実施例によ  
り2(本)設けたが、4  
つつかええい。又  
一層がキャリア内に  
いてもよい。又キャ  
リアに又本発明した  
チップ・パッケージにも

26a及び26bは1  
は外部配線、28は被  
覆、30は金/シリ  
コンはベッド端子、32は  
33は例止栓、34はろ  
う材、35は配設基板、  
38は半田、39は導電

代理人 弁護士

とす。

て、半導体チップが、  
端子を有し他の外周側  
するチップ・キャパ  
1個とする。

メモリ装置に於ける一異  
示す上面図(1)、側面図(4)、  
下面図(5)、及び異4図に  
実施例の上面図(10)、側面  
する。

半導体メモリ装置は、例え  
示すよう、一異面に例え  
導電端子21が配設され、  
被覆状外部導電端子22が  
・チップ・キャパ23内  
24が実装され、該チ

6 がボンディング・ワ  
ハシ。本発明の構造に於て  
ン状外部導電端子21をチ  
各メモリ装置に固有な値  
導電端子22を出入力端子  
メモリ装置に於ける共通信  
して上記のように半導体メモ  
置されたチップ・キャパ23  
る通電構造の制止栓33上に、  
材34を介して金属キャップ  
けされてなっている。

する半導体装置は該半導体  
状外部導電端子を介して配  
1することが出来る。例え  
1例に示した半導体メモリ  
たもので、図中21はピン状  
区々端子)、22は被覆状外  
導電端子)、23はセラミック・  
チップ・キャパ、24は半導体メモリ装置、25は金属キャ

アス等からなる配線基板、37  
38は平坦、39は導電を覆わ

図4図は最も異質密度を高めた実施例で、  
図4図に於ては、半導体メモリ装置38は上、  
下層で交互に積層し合う状態で配線基板36上に  
立て並べられ、各半導体メモリ装置38のピン状  
外部導電端子21が配線基板36に於ける所定の  
スルーホール37に差し込まれ平坦付けされて固  
定される。そして各メモリ装置38に於ける共通  
信号端子である被覆状外部導電端子22上には各  
列毎にそれぞれ導線39からなる一連の共通信号  
線が平坦付けされる。

また上記実施例に於てはピン状外部導電端子を  
2(本)設けたが、該端子は必要に応じて何本でも  
さしつかえない。又該ピン状外部導電端子は棒状  
で一端がチップ・キャパ内に埋め込まれて形成されたも  
のでもよい。又チップはセラミックであっても  
よい。更に又本発明は金属パッケージ、プラス  
チックパッケージにも適用することができる。

26、及び26bは内部配線、27、及び27  
bは外部配線、28は緩ろう、29はチップ・ス  
ター、30は金/シリコン合金、31a、及び31  
bはベド端子、32はボンディング・ワイヤ、  
33は制止栓、34はろう材、35は半導体メモ  
リ装置、36は配線基板、37はスルーホール、  
38は平坦、39は導電を示す。

代理人 弁護士 松 岡 実

(4) 発明の効果

以上説明したように本発明の構造を有する半導  
体装置は、配線基板上に立てて実装することがで  
きる。そこで第4図に示すような配線基板上への  
実装方法が可視であり、図からも明らかなように  
従来の平面実装構造に比べて実装密度を大幅に向  
上せしめることができる。

従って本発明は計算機システム等の高速化、小  
型化に於て有効である。

4. 図面の簡単な説明

第1図は従来の構造の断面図(1)及び下面図(2)、第  
2図は従来の実装構造の断面図、第3図は本  
発明の半導体装置に於ける一異面例の上面図(10)、  
側面図(4)、A-A'矢視断面図(11)、下面図(5)、  
第4図は本発明の半導体装置に於ける一異面例の  
上面図(10)及び側面図(4)である。

図に於て、21はピン状外部導電端子(固有信  
号端子)、22は被覆状外部導電端子(共通信号  
端子)、23はセラミック・チップ・キャパ、  
24は半導体メモリ・チップ、25は金属キャ

図 1

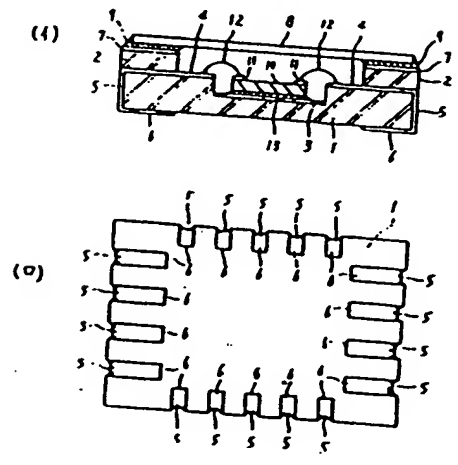
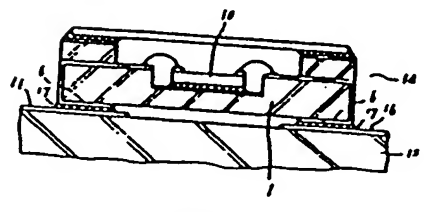
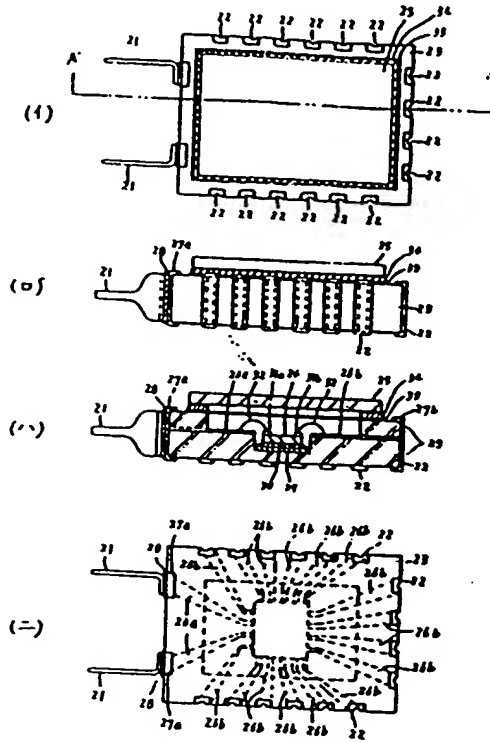


図 2





第 4 图

